

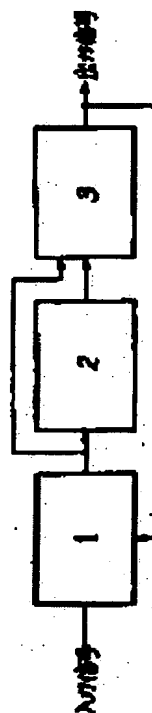
INPUT CIRCUIT

Patent number: JP58073228
Publication date: 1983-05-02
Inventor: AKASHI MINEO
Applicant: NIPPON DENKI KK
Classification:
- **International:** H03K5/01
- **European:**
Application number: JP19810171677 19811027
Priority number(s):

Abstract of JP58073228

PURPOSE: To prevent noises, by feeding back an output of an input status storing circuit for the threshold value control of a buffer circuit.

CONSTITUTION: A delay circuit 2 outputs an output of a buffer circuit 1 with a delay time determined in accordance with the pulse width of an effective input signal and the pulse width of noise component. An input status storing circuit 3 changes the input state to be stored as the presence of an effective input signal, when a potential exceeding a prescribed threshold value is kept for a prescribed time and the input signal to the circuit 1 is changed. The output of the circuit 3 becomes a signal to a digital logic circuit from an input circuit, fed back for the threshold value control of the circuit 1 to realize the hysteresis characteristics. The circuits 2, 3 block the transmission of noise component not exceeding a prescribed time. Further, the circuit is hard to malfunction by steep noises and slow noises with less voltage change amount.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑫ 特 許 公 報 (B 2)

平 1 - 29094

⑬ Int. Cl.

H 03 K

5/01
3/023
5/08

識別記号

庁内整理番号

G-7631-5J
D-8425-5J
J-7631-5J

⑭ 公告 平成1年(1989)6月7日

発明の数 1 (全5頁)

⑮ 発明の名称 入力回路

⑯ 特 願 昭56-171677

⑰ 公 開 昭58-73228

⑱ 出 願 昭56(1981)10月27日

⑲ 昭58(1983)5月2日

⑳ 発 明 者 明 石 峰 雄 東京都港区芝五丁目33番1号 日本電気株式会社内
㉑ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉒ 代 理 人 弁理士 内 原 晋
審 査 官 広 岡 浩 平
㉓ 参 考 文 献 特開 昭51-50559 (JP, A)

1

㉔ 特許請求の範囲

1 入力信号を受ける第1の回路手段であつて、
制御信号が第1の論理レベルのときは第1のしき
い値を前記入力信号に対するしきい値とし前記制
御信号が第2の論理レベルのときは前記1のしき
い値と異なる第2のしきい値を前記入力信号に対
するしきい値とする第1の回路手段と、前記第1
の回路手段の出力にตอบสนองして前記入力信号のレ
ベルが前記1の回路手段のしきい値を所定時間以上
越えているかどうかを検出する第2の回路手段と、
前記第2の回路手段からの前記入力信号のレ
ベルが前記しきい値を所定時間以上越えているこ
とを示す出力にตอบสนองして記憶内容が変化する第3
の回路手段とを備え、前記第3の回路手段の記憶
内容を出力信号として用いるとともに当該記憶内
容を前記制御信号として前記第1の回路手段に帰
還したことを特徴とする入力回路。

発明の詳細な説明

本発明は半導体集積回路の入力回路に関し、特
に入力回路の雑音余裕度の向上に関するものであ
る。

マイクロコンピュータなど2値論理信号(以下
ロジック信号と呼ぶ)でデータ処理する半導体集
積回路では、入力回路にて入力されるアナログ電
位信号をあるしきい値を境にロジック信号に変換
し、変換されたロジック信号に基づき、デジタル
論理回路で処理が行われる。このロジック信号変
換回路には雑音が含まれた信号に対して誤動作しに

2

くい特性が要求されている。従来、シュミットト
リガ回路など入力電位に対応してしきい値を変化
させ、入力電圧と出力電圧の関係が入力電圧の変
化方向により異なるヒステリシス特性を持つ回路
が使用されている。しかしながら、コンデンサの
充放電などにもとづいて変化量が少なくかつ中間
電圧期間が長い入力信号に、静電誘導などで発生
する急峻な波形の信号が雑音として重畳する場合
があり、このような場合では、従来の電圧要素だ
けの入力回路ではこの雑音を完全に防止できなかつた。

本発明による入力回路は時間要素も加え雑音防
止を行うもので、急峻な波形の雑音がロジック信
号に変換されデジタル論理回路に伝搬すること
を防止することを目的にしている。

本発明による入力回路は、入力信号を受ける第
1の回路手段であつて、制御信号が第1の論理レ
ベルのときは第1のしきい値を前記入力信号に対
するしきい値とし前記制御信号が第2の論理レベ
ルのときは前記第1のしきい値と異なる第2のし
きい値を前記入力信号に対するしきい値とする第
1の回路手段と、前記第1の回路手段の出力に
ตอบสนองして前記入力信号のレベルが前記第1の回路
手段のしきい値を所定時間以上越えているかどう
かを検出する第2の回路手段と、前記第2の回路手
段からの前記入力信号のレベルが前記しきい値を
所定時間以上越えていることを示す出力に
ตอบสนองして記憶内容が変化する第3の回路手段とを備え、

3

前記第3の回路手段の記憶内容を出力信号として用いるとともに当該記憶内容を前記制御信号として前記第1の回路手段に帰還していたことを特徴とする。

以下図面を参照し詳細に説明を行う。

第1図はヒステリシス特性の入力回路の入力電圧と出力電圧の関係を示す特性線図で、入力電圧が低電位であつた場合は出力が反転する必要な入力電圧のしきい値は高電位側 (V_H) となり、入力電圧が高電位であつた場合はしきい値は低電位側 (V_L) となり、入力信号が低電位から高電位となる場合の出力信号の変化 (図中 a で示す線) と、入力信号が高電位から低電位となる場合の出力信号の変化 (図中 b で示す線) が一致しない入出力特性を示す。

このヒステリシス特性は、シュミットトリガ回路など入力回路自身の出力を正帰還させ、入力回路のしきい値を変化させる回路により実現され、半導体集積回路では種々のトランジスタ・抵抗などの接続方法が提案されている。

特性線図からも明白な様に、現在の入力電圧から出力が反転するしきい値までの電位差が常に大であるため雑音余裕度がある電圧要素のみで動作が決定されるため、静電誘導などにより電圧は十分で時間が短い急峻な波形の雑音が入力された場合は正常な動作はできない。

第2図は従来の入力回路における誤動作を説明するためのタイムチャートで入力信号および出力信号の電圧波形を示し、第1図の入出力特性に対応するしきい値 (V_H 、 V_L) で出力信号が変化する。入力信号が低電位を維持する時に雑音が誘導された場合 (T_1) や高電位を維持する時に雑音が誘導された場合 (T_2) では、ヒステリシス特性のしきい値制御が有効となり出力信号は変化せず、雑音信号は伝搬されない。入力信号がゆるやかに低電位から高電位に変化している時に雑音が誘導された場合 (T_3) や、高電位から低電位にゆるやかに変化している時に雑音が誘導された場合 (T_4) では、所定のしきい値を越す電位が入力され、ヒステリシス特性カーブを往復し雑音に対応する信号が出力に伝搬する。入力回路以後のデジタル論理回路は正常な信号とみなし動作するため、集積回路装置全体の誤動作に波及する可能性がある。

4

本発明は、従来の入力回路の電圧要素のみによる雑音防止は効果を発揮しない場合がある事に鑑みなされたもので、電圧要素に加え時間要素も判別し、雑音成分を除去するものである。

5 本発明による入力回路は、所定電位を所定時間維持することにより有効な入力信号とみなすことを特徴としている。

第3図は、本発明の一実施例の入力回路構成図で、しきい値が制御可能なバッファ回路1、前記
10 バッファ回路出力を入力とする遅延回路2、前記バッファ回路および遅延回路出力に基き、入力信号の状態を判別し記憶する入力状態記憶回路3で構成されている。バッファ回路1は入力状態記憶回路3出力に基きしきい値が変化する回路で従来の
15 の入力回路と同様なトランジスタ・抵抗の接続であり、従来回路ではしきい値制御の信号がバッファ自身の出力であつたものが入力状態記憶回路3出力となつている点が異なる。遅延回路2は複数段の反転回路で構成され、入力されるバッファ回路出力信号を所定の遅延時間を持つて出力する。
20 入力状態記憶回路3は、バッファ回路1出力および所定時間以前のバッファ回路1出力信号である遅延回路2出力が同じロジック値である時有効な入力信号があつたものを判別し、その状態を記憶する。総合的な動作として説明するならばバッファ回路入力信号が変化し所定のしきい値を越す電位が所定時間保たれる時有効な入力信号があつたとして記憶する入力状態を変化させる。入力状態記憶回路3出力は、入力回路からデジタル論理回路への信号となると同時に前記バッファ回路1
25 のしきい値制御のために帰還され、従来の入力回路と同様なヒステリシス特性を実現する。

なお遅延回路はバッファ回路によりロジック信号に変換されているためアナログ的な回路でなくともシフトレジスタなどのデジタル回路にても
35 実現可能である。

本発明の入力回路は電圧要素のみでは無く時間要素も含んで雑音防止を行うため、従来回路では除去不可能であつた急峻な誘導雑音に対しても効果を発揮する。第4図は本発明の一実施例の入力状態記憶回路の論理回路図で2個の反転回路 I_1 、 I_2 、2個の論理積ゲート G_1 、 G_2 およびセットリセットフリップフロップ F/F で構成され、バッファ回路よりの信号は第1の反転回路 I_1 および第

5

6

1の論理積ゲート G_1 に入力され、遅延回路よりの信号は第2の反転回路 I_2 および第1の論理積ゲート G_1 にされ、第1、第2の反転回路 I_1 、 I_2 出力は第2の論理積ゲート G_2 にされ、第1の論理積ゲート G_1 出力はフリップフロップ F/F のセット入力に、第2の論理積ゲート G_2 出力はフリップ・フロップ F/F のリセット入力に接続され、フリップ・フロップ出力が入力状態記憶回路の出力となる。第5図は本発明の一実施例の動作を説明するためのタイムチャートで入力信号、バッファ回路出力、遅延回路出力、出力信号である入力状態記憶回路出力の電圧波形を示す。入力信号が低電位でバッファ回路出力および遅延回路出力が低電位に対応するロジック値（論理値0）である時、入力状態記憶回路の第1、第2の反転回路、出力はいずれも論理値1となり、第1の論理積ゲート G_1 出力は論理値0となり、第2の論理積ゲート G_2 出力は論理値1となりフリップフロップ F/F がリセットされ、入力状態として論理値0が記憶され、その出力信号に基き、バッファ回路は高電位側のしきい値（ V_H ）で動作する。ここでしきい値（ V_H ）に満たない雑音成分が重畳されても（ T_1 時間）バッファ回路で阻止され、雑音信号は伝搬されない。

次に従来の入力回路では雑音成分が除去不可能であつた入力信号が低電位から高電位にゆるやかに変化している時急峻な雑音成分が重畳された場合（ T_2 時間）、バッファ回路は高電位側のしきい値（ V_H ）で動作しており雑音成分は出力に伝搬するが遅延回路出力は所定時間経過まで変化せず、入力状態記憶回路の第1の反転回路出力は論理値0となり、第1の論理積ゲート G_1 は遅延回路よりの信号が論理値0であるため出力も論理値0となり第2の論理積ゲート G_2 は第1の反転回路よりの信号が論理値0であるため出力も論理値0となり、フリップフロップ F/F はセット／リセットされない保持状態となり以前の入力状態の記憶を保持し出力は変化しない。また、所定時間経過後遅延回路出力が論理値1となつても入力信号は高電位側のしきい値（ V_H ）以下となつているためバッファ回路出力は論理値0、入力状態記憶回路の第2の反転回路出力は論理値0、第1、第2の論理積ゲート G_1 、 G_2 は入力信号が論理値0であるため出力も論理値0となり、フリップフ

ロップ F/F は保持状態となり出力は変化しない。この様に遅延回路と入力状態記憶回路の動作により所定時間に満たない雑音成分の伝搬は阻止される。

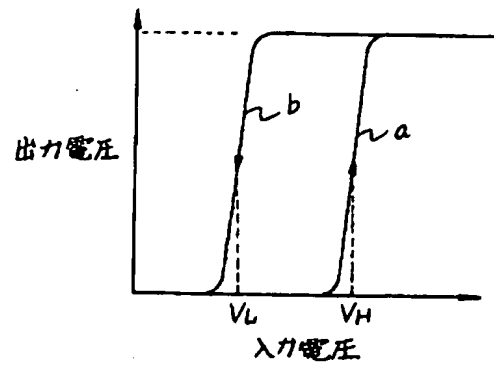
次に入力信号が変化を続け高電位側のしきい値を越す電圧を所定時間保持した時、バッファ回路出力および遅延回路出力は高電位に対応するロジック値（論理値1）となり、入力状態記憶回路の第1、第2の反転回路出力はいずれも論理値0となり、第1の論理積ゲート G_1 出力は論理値1、第2の論理積ゲート G_2 出力は論理値0となりフリップフロップ F/F はセットされ、入力状態として論理値1が記憶され、その出力信号に基きバッファ回路は低電位側のしきい（ V_L ）で動作する。ここでしきい値（ V_L ）に満たない雑音成分が重畳されても（ T_3 時間）バッファ回路で阻止され、雑音信号は伝搬されない。なお、入力信号が高電位から低電位にゆるやかに変化している時急峻な雑音成分が重畳された場合（ T_4 時間）は、前記低電位から高電位への変化している時での重畳の場合（ T_2 時間）と同様に遅延回路と入力状態記憶回路の動作により所定時間に満たない雑音成分の伝搬が阻止される。

以上述べたように本発明によれば入力信号の電位とその保持時間を判別し、その状態を記憶する回路の制御に基きバッファ回路のしきい値を変化させることを特徴としており遅延回路における遅延時間を有効な入力信号のパルス巾と雑音成分のパルス巾に対応して決定することにより、急峻な雑音にも電圧変化量の少ないがゆつくりした雑音によつても誤動作しにくい半導体集積回路装置を提供することができる。

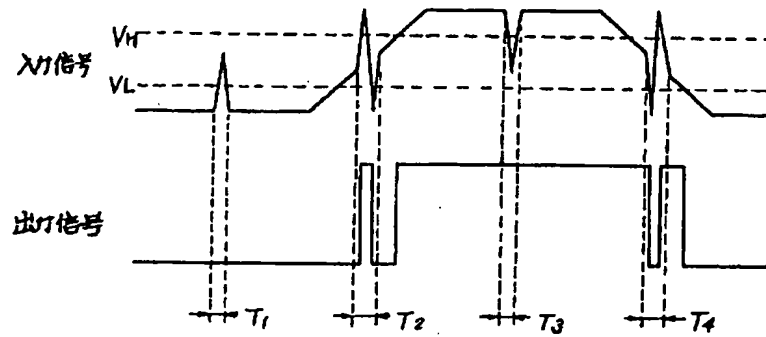
図面の簡単な説明

第1図ヒステリシス特性の入力回路の入力電圧と出力電圧の関係を示す特性線図。第2図は従来の入力回路における誤動作を説明するためのタイムチャートである。第3図は本発明一実施例の入力回路構成図で、第4図は本発明の一実施例の入力状態記憶回路の論理回路図であり、第5図は本発明の一実施例の動作を説明するためのタイムチャートである。 I_1 、 I_2 は反転回路、 G_1 、 G_2 は論理積ゲート、 F/F はセットリセットフリップフロップを示す。

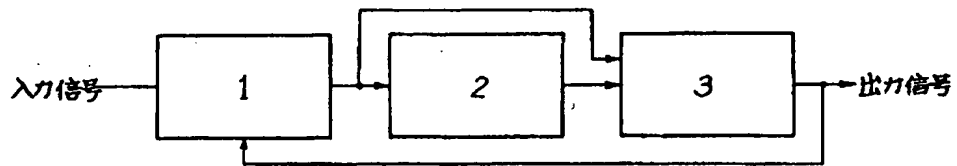
第 1 図



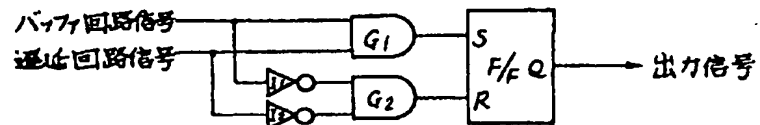
第 2 図



第 3 図



第 4 図



第 5 図

